

DIALOG(R) File 351:DERWENT WPI
(c)1998 Derwent Info Ltd. All rts. reserv.

007137162

WPI Acc No: 87-137159/198720

XRPX Acc No: N87-102784

Test circuit for EPROM with variable threshold - applies biasing voltage to word lines via transistors and sampling resulting drain current on individual bit lines via amplifier

Patent Assignee: MITSUBISHI DENKI KK (MITQ)

Inventor: ANDO N; KOHDA K; TOYAMA T

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 3637682	A	19870514	DE 3637682	A	19861105		198720 B
US 4779272	A	19881018	US 86923238	A	19861027		198844
DE 3637682	C	19921029	DE 3637682	A	19861105	G11C-017/00	199244

Priority Applications (No Type Date): JP 85257096 A 19851113

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
DE 3637682	A		11			
US 4779272	A		7			
DE 3637682	C		8			

Abstract (Basic): DE 3637682 A

A memory matrix consists of MOS transistor cells (Q11-Qm) whose gates are linked to form rows (WL1-WLn) and whose drains are joined to form columns (BL1-BLm). An additional transistor (Q1-Qn) is assigned to each row. During test a test enable signal of 5V is applied to the gates of these transistors, resulting in a bias voltage of 0.5-1.0 V being applied to the word lines (WL1-WLn).

The bit lines (BL1-BLm) are then strobed sequentially and the resulting drain current is amplified by a sampling amplifier (20). The gain of this amplifier is variable and may be adjusted according to the required test tolerance.

ADVANTAGE - Enables rapid checking of individual memory cells in their reset state without repeated programming and erasing.

5/5

Abstract (Equivalent): US 4779272 A

The semiconductor memory, comprises a number of variable-threshold nonvolatile semiconductor memory transistors arranged in rows and columns, each transistor comprising a source, a drain, and a gate. The gate is a floating gate injectable with electrons and dischargeable. Gates of all transistors in any of the rows are connected to a corresponding word line. Drains of all transistors in any of the columns are connected to a corresponding bit line. One of the word lines is selected by a row selection signal being at a first potential, the remaining word lines being non-selected by row selection signals being at a second potential.

A number of column selection transistors each have a source connected to a respective one of the bit lines and a gate connected to a respective one of a number of column selection lines carrying column selection signals. A row decoder and a column decoder receives address signals for selecting one of the memory transistors and providing respectively the row selection signals and column selection signals.

ADVANTAGE - Enables testing of each memory cell in erased state within short time without repetitive programming and erasure. (7pp)

Title Terms: TEST; CIRCUIT; EPROM; VARIABLE; THRESHOLD; APPLY; BIAS; VOLTAGE; WORD; LINE; TRANSISTOR; SAMPLE; RESULT; DRAIN; CURRENT; INDIVIDUAL; BIT; LINE; AMPLIFY

Index Terms/Additional Words: ELECTRIC; PROGRAM; ROM

Derwent Class: U11; U13; U14

International Patent Class (Main): G11C-017/00

International Patent Class (Additional): G01R-031/28; G11C-029/00

File Segment: EPI

Manual Codes (EPI/S-X): U11-F01D2; U13-C07; U14-A03B7; U14-D03

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑪ DE 3637682 A1

⑤ Int. Cl. 4:
G11C 17/00
G 11 C 29/00

⑰ Aktenzeichen: P 36 37 682.5
⑱ Anmeldetag: 5. 11. 86
⑲ Offenlegungstag: 14. 5. 87

THE BRITISH LIBRARY

26 MAY 1987
SCIENCE REFERENCE AND
INFORMATION SERVICE

DE 3637682 A1

③ Unionspriorität: ③② ③③ ③①
13.11.85 JP 257098/85

⑦ Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑭ Vertreter:
Eitle, W., Dipl.-Ing.; Hoffmann, K., Dipl.-Ing.
Dr.rer.nat.; Lehn, W., Dipl.-Ing.; Fuchsle, K.,
Dipl.-Ing.; Hansen, B., Dipl.-Chem. Dr.rer.nat.;
Brauns, H., Dipl.-Chem. Dr.rer.nat.; Görg, K.,
Dipl.-Ing.; Kohlmann, K., Dipl.-Ing.; Kolb, H.,
Dipl.-Chem. Dr.rer.nat.; Ritter und Edler von
Fischern, B., Dipl.-Ing., Pat.-Anw.; Nette, A.,
Rechtsanw., 8000 München

⑺ Erfinder:
Kohda, Kenji; Toyama, Tsuyoshi; Ando, Nobuaki,
Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Prüffähiger, nicht-flüchtiger Halbleiterspeicher mit variablem Schwellenwert

Ein nicht-flüchtiger Speicher mit variablem Schwellenwert, bei welchem ein Potential, das zwischen einem Wählerpegel und einem nicht-wählenden Pegel abfällt, den Gatern zugeführt wird und bei welchem der erhaltene Drainstrom gemessen wird, um zu ermitteln, ob einer der Transistoren eine anormale Schwellenwertspannung aufweist.

DE 3637682 A1

1. Halbleiterspeicher, gekennzeichnet durch eine Anzahl nicht-flüchtiger Halbleiterspeichertransistoren mit variablem Schwellenwert, die in Zeilen und Spalten angeordnet sind, wobei jeder Speichertransistor einen Sourcebereich, einen Drainbereich und ein Gatter aufweist, das Gatter ein gleitendes Gatter ist, das mit Elektronen injizierbar und entladbar ist, die Gatter aller Transistoren in jeder der Reihen mit einer zugeordneten Wortleitung (WL) verbunden sind, die Drainbereiche aller Transistoren in jeder der Spalten mit einer zugeordneten Bitleitung (BL) verbunden sind, eine der Wortleitungen durch ein Zeilenwählersignal mit einem ersten Potential ausgewählt wird, während die übrigen Wortleitungen durch auf einem zweiten Potential befindliche Zeilenwählersignale nicht-gewählt sind, eine Anzahl Spaltenwählertransistoren, wovon jeder einen Sourcebereich aufweist, der mit einer jeweiligen der Bitleitungen verbunden ist, und ein Gatter (1-m), das mit einer jeweiligen der Anzahl von Spaltenwählerleitungen verbunden ist, die Spaltenwählersignale ($CS_1 - CS_m$) führen, einen Zeilendecoder (12) und einen Spaltendecoder (10), die Adresssignale ($A_p - A_q; A_0 - A_{p-1}$) zur Auswahl eines der Anzahl der Speichertransistoren empfangen und jeweils die Zeilenwählersignale und Spaltenwählersignale ($CS_1 - CS_m$) liefern, einen Abfrageverstärker (20), der einen mit den Drainbereichen aller Spaltenwählertransistoren verbundenen Eingang aufweist und einen Abfrageausgang zum Lesen des ausgewählten der Speichertransistoren hat, und eine Einrichtung (21; $Q_1 - Q_n$) zur selektiven Zuführung eines dritten Potentials zu den Gattern aller Speichertransistoren in mindestens einer der Zeilen, wobei das dritte Potential zwischen dem ersten und dem zweiten Potential liegt.
2. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, dass die Zufuhreinrichtung selektiv das dritte Potential den Gattern aller Speichertransistoren in allen Zeilen zuführt.
3. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, dass während des selektiven Betriebs der Zufuhreinrichtung die gleitenden Gatter aller Speichertransistoren injizierte Elektronen aufweisen und nicht entladen werden.
4. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, dass das dritte Potential um weniger als eine normale Schwellenwertspannung der Speichertransistoren grösser als das zweite Potential ist.
5. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, dass, falls das erste Potential gleich (V_1), das zweite Potential gleich (V_2) und das dritte Potential gleich (V_3) ist, dann

$$V_3 = V_2 + A(V_1 - V_2)$$

wobei A im Bereich von 0,1 bis 0,2 liegt.

6. Halbleiterspeicher nach Anspruch 5, dadurch gekennzeichnet, dass die Zufuhreinrichtung selektiv das dritte Potential allen Gattern aller Speichertransistoren in allen Zeilen zuführt.
7. Verfahren zum Prüfen einer Anordnung von nicht-flüchtigen Halbleiterspeichertransistoren mit

variablem Schwellenwert, die in Zeilen und Spalten angeordnet sind, wobei ein Drainbereich eines jeden Speichertransistors mit einer einer Zeile zugehörigen Bitleitung verbunden ist, ein gleitendes Gatter eines jeden Speichertransistors mit einer einer Spalte zugeordneten Wortleitung verbunden ist und durch ein auf einem ersten Potential befindliches Wählersignal auswählbar und durch ein auf einem zweiten Potential befindliches Wählersignal nicht-auswählbar ist, und das gleitende Gatter mit Elektronen injizierbar und entladbar ist, gekennzeichnet durch folgende Schritte:

Zuführung eines Prüfsignals mit einem dritten zwischen dem ersten und dem zweiten Potential liegenden Potential an mindestens eine der Wortleitungen und Abfragen eines Stroms in mindestens einer der Bitleitungen.

8. Prüfverfahren nach Anspruch 7, dadurch gekennzeichnet, dass beim Zuführen des Prüfsignals gleichzeitig das Prüfsignal allen Wortleitungen zugeführt wird.

9. Prüfverfahren nach Anspruch 7, gekennzeichnet durch das Injizieren von Elektronen in die gleitenden Gatter aller Speichertransistoren, wobei das Zuführen des Prüfsignals nach dem Injizieren und vor dem Entladen der gleitenden Gatter erfolgt.

10. Prüfverfahren nach Anspruch 7, dadurch gekennzeichnet, dass das dritte Potential um nicht mehr als eine Schwellenwertspannung der Speichertransistoren grösser als das zweite Potential ist.

11. Prüfverfahren nach Anspruch 7, dadurch gekennzeichnet, dass, falls das erste Potential gleich (V_1), das zweite Potential gleich (V_2) und das dritte Potential gleich (V_3) ist, dann

$$V_3 = V_2 + A(V_1 - V_2)$$

wobei A im Bereich von 0,1 bis 0,2 liegt.

12. Prüfverfahren nach Anspruch 7, dadurch gekennzeichnet, dass ein erstes Lesesignal mit dem ersten Potential nur einer der Wortleitungen zugeführt wird, dass ein zweites Lesesignal mit dem zweiten Potential dem Gatter nur eines Wählertransistors zugeführt wird und dass ein Strom in allen Wählertransistoren abgefragt wird.

13. Prüfverfahren nach Anspruch 7, gekennzeichnet durch den Verfahrensschritt wonach die Anordnung der Transistoren als anormal beurteilt wird, falls der abgefragte Strom grösser als ein vorgegebener Pegel ist.

Beschreibung

Die Erfindung betrifft einen Halbleiterspeicher und insbesondere einen Halbleiterspeicher, bei welchem Elektronen in gleitende Gatter injiziert und durch elektrische Einwirkung oder Bestrahlung mit ultravioletten Strahlen entladen werden. Die Gatter einer Anzahl derartiger, nicht-flüchtiger Halbleiter-Speichertransistoren mit variablem Schwellenwert werden miteinander in den Zeilen einer Matrix verbunden und die Drainbereiche der Transistoren werden miteinander in den Spalten der Matrix verbunden.

Es wird auf den Stand der Technik Bezug genommen. Fig. 1 zeigt ein elektrisches Schaltbild eines üblichen Halbleiterspeichers. Fig. 2 gibt die Kennlinie einer Speicherzelle an. Fig. 3 stellt die Kennlinie einer normalen

Speicherzelle und einer Speicherzelle mit niedrigem Schwellenwert dar.

Der in Fig. 1 dargestellte Halbleiterspeicher ist ein löschbarer und elektrisch programmierbarer Festwertspeicher (der anschliessend häufig als EPROM bezeichnet wird), der aus Speicherzellen ($Q_{11} - Q_{nm}$) der FAMOS-Bauart besteht. Die Gatter der Speicherzellen ($Q_{11} - Q_{nm}$) sind miteinander längs der Zeilen einer Matrix verbunden. Wortleitungssignale ($WL_1 - WL_n$) zur Auswahl der Zeilen werden an die Gatter aller Zellen einer Zeile zugeführt. Die Drainbereiche der Speicherzellen ($Q_{11} - Q_{nm}$) sind miteinander längs der Spalten der Matrix verbunden, so dass die Spalten als Bitleitungen ($BL_1 - BL_m$) verwendet werden. Spaltenwählersignale ($CS_1 - CS_m$) zur Auswahl der Bitleitungen ($BL_1 - BL_m$) werden den Bitleitungen über Spaltenwählgatter ($1 - m$) zugeführt. Die Drainbereiche aller Spaltenwählgatter ($1 - m$) sind gemeinsam an einen Abfrageverstärker (20) angeschlossen.

Die Spaltenwählersignale ($CS_1 - CS_m$) und die Wortleitungssignale ($WL_1 - WL_n$) werden gemäss Fig. 2 durch einen Spaltendecoder (10) und eine Zeilendecoder (12) erzeugt, der Adresssignale ($A_0 - A_p$) erhält. Der Spaltendecoder (10) wählt eines der m -Spaltenwählersignale ($CS_1 - CS_m$) für jede einzelne Kombination der p Adresssignale ($A_0 - A_{p-1}$) aus. In ähnlicher Weise wählt der Zeilendecoder (12) eines der n -Wortleitungssignale ($WL_1 - WL_n$) für jede einzelne Kombination der $(q - p + 1)$ Adresssignale ($A_p - A_q$). Somit wird für jedes Adresssignal eine Spalte und eine Zeile ausgewählt.

Zum Lesen von im EPROM programmierten Daten wird die Wortleitung für die Speicherzelle an einer gewünschten Adresse ausgewählt und mit einer üblichen Speisespannung von 5 Volt versorgt, während alle übrigen Wortleitungen nicht ausgewählt und mit einem üblichen Massepotential von 0 Volt belegt werden. Ferner wird nur die Bitleitung für die Speicherzelle an der gewünschten Adresse durch das Spaltenwählersignal ausgewählt und mit dem Abfrageverstärker (20) verbunden.

Fig. 3 gibt die Kennlinien (A) und (B) zwischen der Gatterspannung der Speicherzelle (die Spannung der Wortleitung) und dem Drainstrom der Speicherzelle an. Beträgt der Schwellenwertpegel der Speicherzelle im gelöschten Zustand von "1" etwa 1,5 Volt, so wird die Kennlinie (A) erhalten. Ist der Schwellenwertpegel der Speicherzelle im programmierten Zustand von "0" etwa 6 bis 10 Volt, so wird die andere Kennlinie (B) erhalten. Ein Abfragestrom (I_{Abfrage}) hat für den Abfrageverstärker (20) einen derartigen Pegel, dass der Drainstrom der Speicherzelle ($Q_{11} - Q_{nm}$) erfasst wird, um festzustellen, ob die Information in der Speicherzelle gleich "1" oder "0" ist. Wird die Wortleitungsspannung, die üblicherweise 5 Volt beträgt, dem Gatter der Speicherzelle ($Q_{11} - Q_{nm}$) zugeführt, so hat die Speicherzelle im gelöschten Zustand, der durch die Kennlinie (A) nach Fig. 3 angegeben ist, einen Drainstrom (I_M), der grösser als der Abfragestrom (I_{Abfrage}) ist, so dass die Information in der Speicherzelle als "1" angesehen wird. Ferner hat die Speicherzelle im programmierten Zustand, der durch die Kennlinie (B) in Fig. 3 angegeben wird, einen vernachlässigbaren Drainstrom (I_M), so dass die Information in der Speicherzelle als "0" angesehen wird.

Die Betriebsweise des EPROM wird anschliessend unter Bezugnahme auf Fig. 1 im einzelnen erläutert. Wird die Adresse der Speicherzelle (Q_{11}) ausgewählt, so wird das Wortleitungssignal (WL_1) gewählt, die anderen Wortleitungssignale ($WL_2 - WL_n$) werden nicht ge-

wählt, das Spaltenwählersignal (CS_1) wird ausgewählt und die anderen Spaltenwählersignale ($CS_2 - CS_m$) werden nicht gewählt. Infolgedessen wird die Bitleitung (BL_1) ausgewählt und mit dem Abfrageverstärker (20) verbunden. Befindet sich die Speicherzelle (Q_{11}) im gelöschten Zustand von "1", so hat die Speicherzelle die in Fig. 3 dargestellte Kennlinie (A) und da die Gatterspannung 5 Volt beträgt, überschreitet der Drainstrom (I_M) den Abfragestrom (I_{Abfrage}). Aus diesem Grunde beurteilt der Abfrageverstärker (20) die Information in der Speicherzelle (Q_{11}) als "1". Zu diesem Zeitpunkt sind, gleichgültig ob die anderen Speicherzellen ($Q_{21} - Q_{n1}$) auf der gleichen Bitleitung (BL_1) im gelöschten Zustand von "1" oder im programmierten Zustand von "0" sind, ihre Gatterspannungen gleich 0 Volt, so dass der Drainstrom (I_M) nicht durch sie fliesst. Aus diesem Grunde wird das Lesen der Daten in der Speicherzelle (Q_{11}) nicht durch die anderen Speicherzellen beeinflusst. Befindet sich die Speicherzelle (Q_{11}) im programmierten Zustand von "0", so hat die Speicherzelle die in Fig. 3 dargestellte Kennlinie (B) und ihre Gatterspannung beträgt 5 Volt, so dass der Drainstrom (I_M) nicht fliesst, da der Drainstrom kleiner als der Abfragestrom (I_{Abfrage}) ist. Aus diesem Grunde interpretiert der Abfrageverstärker (20) die Information in der Speicherzelle (Q_{11}) als "0". Dabei haben die anderen Speicherzellen auf der gleichen Bitleitung einen vernachlässigbaren Drainstrom (I_M) und zwar aus den gleichen, vorausgehend beschriebenen Gründen, so dass die anderen Speicherzellen das Lesen der Information in der Speicherzelle (Q_{11}) nicht beeinträchtigen.

Jedoch haben in der Praxis die Speicherzellen ($Q_{11} - Q_{nm}$) Unregelmässigkeiten. Obgleich die gewöhnliche Schwellenwertspannung der Speicherzelle im gelöschten Zustand etwa 1,5 Volt beträgt, sind die Schwellenwertspannung einiger Speicherzellen 1 bis 2 Volt höher oder niedriger als die übliche Schwellenwertspannung. Da der gelöschte Zustand der Speicherzelle mit einer höheren Schwellenwertspannung ihrem unvollständig programmierten Zustand entspricht, kann die Speicherzelle leicht als schadhafte Speicherzelle mittels eines "Löschtests" eliminiert werden. "Löschtest" bedeutet das Lesen der Speicherzelle im gelöschten Zustand unterhalb der Versorgungsspannung von 5 Volt. Im Gegensatz hierzu ist es schwierig, einen defekten Speicher durch Löschen zu eliminieren, falls die Speicherzelle eine niedrigere Schwellenwertspannung aufweist.

Das Lesen der Information in der Speicherzelle (Q_{11}) wird anschliessend beschrieben. Es sei angenommen, dass die Speicherzelle (Q_{11}) normal ist und sich im gelöschten Zustand von "1" befindet, dass aber die Speicherzelle (Q_{21}) anormal ist und die Schwellenwertspannung der Speicherzelle (Q_{21}) etwa -1,5 Volt beträgt. Es wird nun angenommen, dass die anderen Speicherzellen ($Q_{31} - Q_{n1}$) normal und entweder im gelöschten Zustand von "1" oder im programmierten Zustand von "0" sind. Da die gelöschte Speicherzelle (Q_{11}) ausgewählt wird, hat sie eine in Fig. 3 dargestellte Kennlinie (A), so dass, wenn ihre Gatterspannung 5 Volt wird, ihr Drainstrom (I_M) den Abfragestrom (I_{Abfrage}) überschreitet und der Abfrageverstärker (20) beurteilt die in der Speicherzelle (Q_{11}) vorhandene Information als "1". Hat zu diesem Zeitpunkt die nicht-ausgewählte Speicherzelle (Q_{21}) eine in Fig. 4 dargestellte Kennlinie (C), so fliesst in der Speicherzelle (Q_{21}) ein elektrischer Strom, der grösser als der Abfragestrom (I_{Abfrage}) ist, selbst wenn ihr eine nicht-ausgewählte Wortleitungsspannung = 0 Volt zugeführt wird. Obgleich jener elektrische Strom sich zum

Drainstrom (I_M) vom Lesen der Information in der Speicherzelle (Q_{11}) addiert, beeinträchtigt er nicht das Lesen der Information von "1" in der Speicherzelle (Q_{11}), da der Abfrageverstärker (20) die Information in der Speicherzelle (Q_{11}) als "1" beurteilt, falls ein elektrischer Strom fließt, der grösser als oder gleich gross wie der Abfragestrom (I_{Abfrage}) ist. Aus dem gleichen Grund wird das Lesen der gespeicherten Information von "1" aus der Speicherzelle (Q_{11}) nicht beeinträchtigt, selbst wenn in jeder der anderen Speicherzellen ($Q_{31} - Q_{41}$) ein Drainstrom (I_M) fließt, der grösser als der Abfragestrom (I_{Abfrage}) ist.

Es sei nun jedoch angenommen, dass die Speicherzelle (Q_{11}) normal und im programmierten Zustand von "0" ist, und dass die Schwellenwertspannung der anderen Speicherzelle (Q_{21}) etwa -1,5 Volt beträgt. Da die Speicherzelle (Q_{11}) ausgewählt ist, hat sie die in Fig. 4 dargestellte Kennlinie (B), so dass, wenn ihre Gatterspannung 5 Volt beträgt, ihr Drainstrom (I_M) nicht fließt. Jedoch hat die Speicherzelle (Q_{21}) die Kennlinie (C), so dass ein elektrischer Strom fließt, der grösser als der Abfragestrom (I_{Abfrage}) ist, selbst wenn die Gatterspannung 0 Volt beträgt. Infolgedessen beurteilt der Abfrageverstärker (20) den Drainstrom der Speicherzelle (Q_{21}) als jenen der Speicherzelle (Q_{11}), womit der Abfrageverstärker die Information in der Speicherzelle (Q_{11}) als "1" falsch beurteilt. Aus diesem Grund kann ein richtiges Lesen nicht erfolgen.

Jedoch kann eine Programmierung selbst in einer derartigen Speicherzelle des Verarmungstyps durchgeführt werden. Aus diesem Grund ist, wenn sich die Speicherzelle (Q_{21}) im programmierten Zustand befindet, ihre Schwellenwertspannung 6 Volt oder höher, so dass die Information der Speicherzelle (Q_{21}) ebenfalls richtig gelesen werden kann, ohne die anderen Speicherzellen in der gleichen Bitleitung zu beeinträchtigen. Selbst wenn sich die Speicherzelle (Q_{21}) im gelöschten Zustand befindet, macht das Lesen der Information in der Speicherzelle (Q_{21}) an sich keine Schwierigkeit, da der Drainstrom der Speicherzelle (Q_{21}) nur grösser als jener einer Speicherzelle im normalen gelöschten Zustand ist.

Soll eine anormale derartige Speicherzelle bei einer Überprüfung eliminiert werden, so wurde üblicherweise das anschliessend beschriebene Verfahren verwendet. Bei diesem Verfahren werden alle Speicherzellen ($Q_{11} - Q_{41}$) zuerst in den gelöschten Zustand gebracht, die Programmierung erfolgt in nur eine der Speicherzellen auf den Bitleitungen ($BL_1 - BL_m$) und die Information in der Speicherzelle im programmierten Zustand wird gelesen, so dass die übrigen Speicherzellen geprüft werden können. Anschliessend wird die Programmierung in eine der anderen Speicherzellen auf den Bitleitungen ausgeführt, und die Information in der Speicherzelle im programmierten Zustand wird gelesen, so dass die der Programmierung unterzogenen Speicherzellen und die Lösung überprüft werden können. Auf diese Weise können alle Speicherzellen überprüft werden. Obgleich die Speicherzellen durch zweifache Wiederholung der Programmierung und der Lösung geprüft werden können, ist der Wirkungsgrad der Überprüfung nicht hoch, da es zeitlich aufwendig ist, die Programmierung und die Löschung zu wiederholen.

Der Erfindung liegt daher die Aufgabe zugrunde, einen Halbleiterspeicher zu schaffen, bei welchem auf dem Chip eine Vorrichtung vorgesehen ist, um jede Speicherzelle im gelöschten Zustand innerhalb einer kurzen Zeitspanne ohne wiederholtes Programmieren und Löschen auf einfache Weise zu prüfen.

Bei dem erfindungsgemässen Halbleiterspeicher sind die Gatter der Anzahl nicht-flüchtiger Halbleiterspeichertransistoren mit veränderlicher Schwellenwertspannung, bei welchen Elektronen in gleitende Gatter injiziert und durch elektrische Einwirkung oder durch Bestrahlung mit UV-Licht entladen werden, miteinander in den Zeilen einer Matrix verbunden, und die Drainbereiche der Transistoren sind miteinander in den Spalten der Matrix verbunden. Der Halbleiterspeicher ist mit einem üblichen Lesemodus ausgestattet, bei welchem ein durch ein Adresssignal ausgewählter Speichertransistor durch einen Zeilendecoder und einen Spaltendecoder gewählt wird, und die im Speichertransistor programmierte Information wird durch einen Abfrageverstärker gelesen. Der Halbleiterspeicher ist ferner mit einem Testmodus ausgestattet, bei welchem eine vorgegebene Spannung dem gleitenden Gatter eines Speichertransistors zugeführt wird. Die vorgegebene Spannung ist gleich gross wie oder höher als jene einer nicht-gewählten Zeile im üblichen Lesemodus und kleiner als die normale Schwellenwertspannung des entladene Elektronen aufweisenden Speichertransistors. Mindestens eine Zeile wird durch den Zeilendecoder ausgewählt und mindestens eine Spalte wird durch den Spaltendecoder ausgewählt, so dass ein anormaler Speichertransistor mit einer Schwellenwertspannung, die kleiner ist als die normale Schwellenwertspannung eines Speichertransistors, der die Elektronen durch das gleitende Gatter entladen hat, gegenüber dem normalen Speichertransistor mittels eines Abfrageverstärkers unterschieden wird.

Die vorausgehend aufgeführte, erfindungsgemässe zugrundeliegende Aufgabenstellung wird somit durch einen Halbleiterspeicher gelöst, der gekennzeichnet ist durch eine Anzahl nicht-flüchtiger Halbleiterspeichertransistoren mit variablem Schwellenwert, die in Zeilen und Spalten angeordnet sind, wobei jeder Speichertransistor einen Sourcebereich, einen Drainbereich und ein Gatter aufweist, das Gatter ein gleitendes Gatter ist, das mit Elektronen injizierbar und entladbar ist, die Gatter alle Transistoren in jeder der Reihen mit einer zugeordneten Wortleitung verbunden sind, die Drainbereiche aller Transistoren in jeder der Spalten mit einer zugeordneten Bitleitung verbunden sind, eine der Wortleitungen durch ein Zeilenwählersignal mit einem ersten Potential ausgewählt wird, während die übrigen Wortleitungen durch auf einem zweiten Potential befindliche Zeilenwählersignale nicht-gewählt sind, eine Anzahl Spaltenwählertransistoren, wovon jeder einen Sourcebereich aufweist, der mit einer jeweiligen der Bitleitungen verbunden ist, und ein Gatter, das mit einer jeweiligen der Anzahl von Spaltenwählerleitungen verbunden ist, die Spaltenwählersignale führen, einen Zeilendecoder und einen Spaltendecoder, die Adresssignale zur Auswahl eines der Anzahl der Speichertransistoren empfangen und jeweils die Zeilenwählersignale und Spaltenwählersignale liefern, einen Abfrageverstärker, der einen mit den Drainbereichen aller Spaltenwählertransistoren verbundenen Eingang aufweist und einen Abfrageausgang zum Lesen des ausgewählten der Speichertransistoren hat, und eine Einrichtung zur selektiven Zuführung eines dritten Potentials zu den Gattern aller Speichertransistoren in mindestens einer der Zeilen, wobei das dritte Potential zwischen dem ersten und den zweiten Potential liegt.

Die Erfindung wird anschliessend anhand der Zeichnungen erläutert; es zeigen:

Fig. 1 ein Schaltbild eines üblichen Halbleiterspei-

chers:

Fig. 2 ein Blockschaltbild des Spalten- und Zeilencodiers für den Speicher nach Fig. 1;

Fig. 3 die Kennlinie einer normalen Speicherzelle;

Fig. 4 die Kennlinie einer normalen Speicherzelle und einer Speicherzelle mit niedriger Schwellenwertspannung; und

Fig. 5 ein Schaltbild einer erfindungsgemässen Ausführungsform.

Es wird nunmehr auf die bevorzugten Ausführungsformen Bezug genommen.

Beim erfindungsgemässen Halbleiterspeicher werden zwecks Auswahl einer Speicherzelle mit einer niedrigen Schwellenwertspannung alle Wortleitungen gleichzeitig durch eine vorgegebene Spannung ausgewählt, die höher als eine nicht-wählende Spannung und niedriger als eine Schwellenwertspannung von etwa 1,5 Volt ist, so dass in einer normalen Speicherzelle kein Drainstrom fliesst. Die Bitleitungen der Speicherzelle werden aufeinanderfolgend ausgewählt, so dass der Abfrageverstärker bestimmt, ob ein Drainstrom fliesst oder nicht, um dadurch die Speicherzelle mit niedriger Schwellenwertspannung zu erfassen.

Da die Schwellenwertspannung einer normalen Speicherzelle etwa 1,5 Volt beträgt, wird die Spannung einer jeden der Wortleitungen derart voreingestellt, dass der Drainstrom nicht in der normalen Speicherzelle fliesst oder zumindest der Drainstrom nicht grösser als der Abfragestrom (I_{Abfrage}) ist, selbst wenn infolge fehlerhafter Schwellenwertspannungen ein Drainstrom fliesst. Infolgedessen beurteilt der Abfrageverstärker jede normale Speicherzelle, im Zustand von "0" zu sein, so dass die Bitleitung mit normalen Speicherzellen als normal angesehen wird.

Da ein Drainstrom in einer Bitleitung mit einer anormalen Speicherzelle fliesst und den Abfragestrom überschreitet, wird die anormale Speicherzelle im Zustand von "1" angesehen, so dass die Bitleitung als anormal beurteilt wird. Aus diesem Grund kann der Speicher mit einer Speicherzelle mit niedriger Schwellenwertspannung leicht durch eine eingebaute, für den Speicher vorgesehene Schaltung geprüft werden, um ein Lesen durchzuführen, während gleichzeitig eine, mehrere oder alle Wortleitungen um eine nicht-wählende Spannung gesetzt werden.

Fig. 5 zeigt eine Schaltung einer erfindungsgemässen Ausführungsform. Diese unterscheidet sich gegenüber der Schaltung nach Fig. 1 durch das Hinzufügen einer Vorspannungsschaltung (21), die dazu dient, eine Spannung um eine nicht-wählende Spannung zu erzeugen. Ferner arbeiten die Transistoren ($Q_1 - Q_n$), um die erzeugte Vorspannungsspannung allen Wortleitungen ($WL_1 - WL_n$) zuzuführen. Ein Test-Freigabesignal steuert die Transistoren ($Q_1 - Q_n$).

Der Betrieb der erfindungsgemässen Schaltung wird anschliessend beschrieben. Beim gewöhnlichen Lesen hat das Prüf-Freigabesignal eine Spannung von 0 Volt und die Vorspannungsschaltung (21) ist ausser Betrieb. Aus diesem Grund sind die Transistoren ($Q_1 - Q_n$) abgeschaltet. Infolgedessen wird das übliche Lesen in bekannter Weise durchgeführt.

Wird das Prüf-Freigabesignal in einen aktiven Zustand von 5 Volt gebracht, so arbeitet die Vorspannungsschaltung (21) zur Erzeugung der vorgeschriebenen Spannung. Die mit den Wortleitungen ($WL_1 - WL_n$) verbundenen Transistoren ($Q_1 - Q_n$) werden eingeschaltet, so dass alle Wortleitungen an die durch die Vorspannungsschaltung (21) erzeugte Spannung (etwa 0,5 bis 1,0

Volt) gelegt werden. Die Bitleitungen ($BL_1 - BL_m$) werden anschliessend aufeinanderfolgend ausgewählt, so dass das Lesen über einen Abfrageverstärker (20) erfolgt, da alle Speicherzellen sich im gelöschten Zustand befinden.

Es sei angenommen, dass die Bitleitung (BL_1) ausgewählt wird. Falls die Bitzellen ($Q_{11} - Q_{n1}$) alle normale Speicherzellen sind und somit ihre Schwellenwertspannungen etwa 1,5 Volt betragen, so haben die Speicherzellen eine Kennlinie (A) gemäss Fig. 4, so dass kein Drainstrom (I_{d}) fliesst, selbst wenn eine Gatterspannung von etwa 0,5 bis 1,0 Volt zugeführt wird. Infolgedessen beurteilt der Abfrageverstärker (20), da der Drainstrom (I_{d}) kleiner als ein Abfragestrom (I_{Abfrage}) ist, die Speicherzellen im Zustand von "0" befindlich oder als normal.

Hat jedoch die Speicherzelle (Q_{11}) eine in Fig. 4 dargestellte anormale Kennlinie (C) oder (D), ist also die Schwellenwertspannung der Speicherzelle negativ, so wird der Drainstrom in der Bitleitung (BL_1) grösser als der Abfragestrom (I_{Abfrage}) im Abfrageverstärker (20), da die Speicherzelle (Q_{11}) eingeschaltet ist, so dass die Speicherzelle im Zustand von "1" befindlich oder als anormal beurteilt wird.

Selbst wenn die Schwellenwertspannung nicht negativ ist, so wird die gleiche Wirkung erzeugt, wenn eine Anzahl von Speicherzellen, deren Schwellenwertspannungen nicht höher als 0 bis 1,5 Volt sind, sich auf der gleichen Bitleitung befinden. Sind beispielsweise 1.024 Speicherzellen in der gleichen Bitleitung eines 512 K EPROMs miteinander verbunden, so dass ein ordnungsgemässes Lesen über die Bitleitung nicht durchgeführt werden kann, wenn die Summe der elektrischen Ströme von einigen bis zu einer grossen Anzahl von Speicherzellen grösser als der Abfragestrom (I_{Abfrage}) ist, selbst wenn der Strom einer jeden Speicherzelle klein ist.

Wird das Prüf-Freigabesignal aktiviert, um eine Prüfung mit einer Toleranz durchzuführen, so kann die Empfindlichkeit des Abfrageverstärkers (20) vergrössert werden. Dabei wird die Empfindlichkeit verändert, so dass die Unterscheidung zwischen "1" und "0" mittels eines Prüfstroms ($I_{\text{Prüf}}$) anstelle des gewöhnlichen Abfragestroms (I_{Abfrage}) durchgeführt wird, um zwischen "1" und "0" zu unterscheiden. Auf diese Weise kann eine genauere Prüfung erfolgen.

Erfindungsgemäss ist, wie vorausgehend beschrieben, eine Schaltung zum Durchführen des Lesens eingebaut, während gleichzeitig eine, mehrere oder alle Wortleitungen um eine nicht-wählende Spannung gesetzt werden, um einen Prüfmodus zu liefern, so dass ein Speicher, der eine Speicherzelle mit einer niedrigen Schwellenwertspannung hat, mühelos im gelöschten Zustand derselben geprüft werden kann, während ein gleich wirksamer Test des Standes der Technik eine zeitaufwendige Wiederholung des Programmierens und Lösens erfordert.

FIG. 1
Stand der Technik

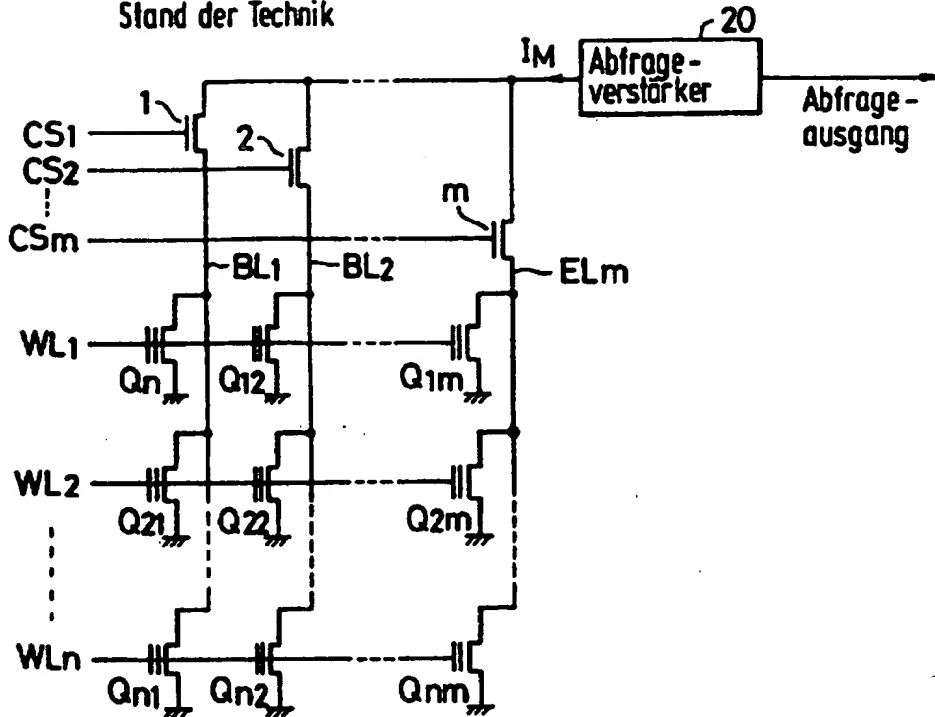


FIG. 2

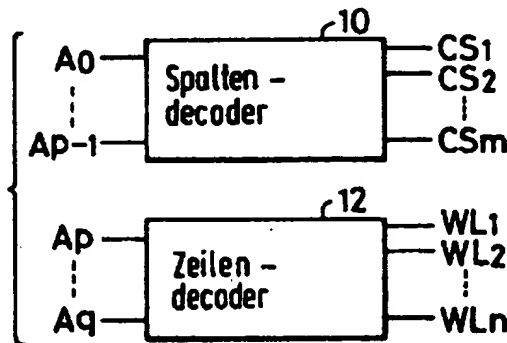


FIG. 3

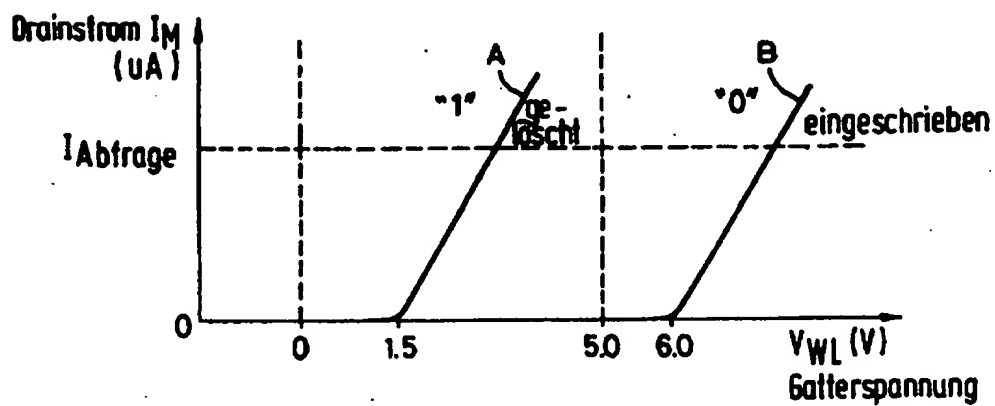


FIG. 4

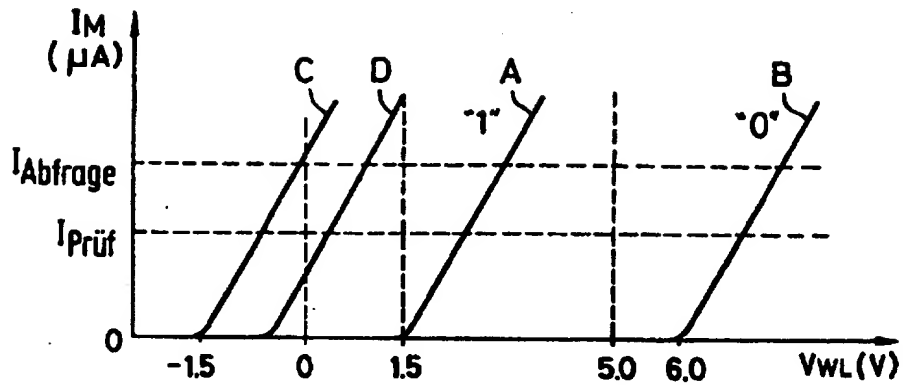


FIG. 5

